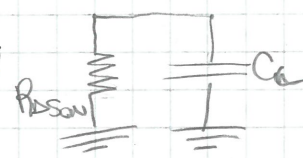
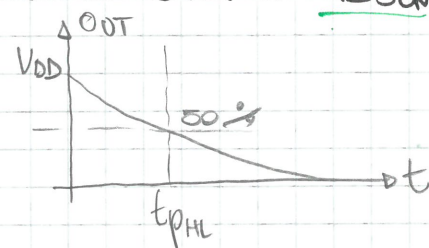


2a approx) Considero l'operazione in zona ohmica con resistenza pari a quella nell'origine, ovvero con resistenza di scansia  $R_{DSON}$



$$R_{DSON} \triangleq \frac{\partial V_{DS}}{\partial I_{Dohm}} \Big|_{V_{DS}=0} = \frac{1}{2k_n (V_{GSu} - V_{TN})} \Big|_{V_{GSu}=V_{DD}}$$

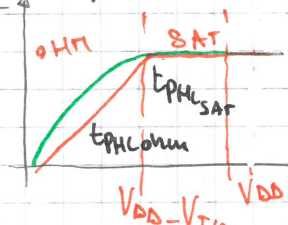


Ho la relazione  $V_{OUT} = V_{DD} \exp\left(-\frac{t}{\tau}\right)$  in cui  $\tau = R_{DSON} \cdot C_L$

$$\frac{V_{DD}}{2} = V_{DD} \exp\left(-\frac{t_{PHL}}{\tau}\right) \quad t_{PHL} = \tau \ln 2 = 0,69 \tau$$

Il pregio è che devo solo calcolare  $R_{DSON}$  un po' un'approx molto più alta rispetto alla 1<sup>a</sup> approx. È sempre per difetto. Qui si stima più o meno l'ordine di grandezza della commutazione o è utile per campionare due commutazioni con la stessa  $R_{DSON}$

3a approx) Questa è un'approx per eccesso, è come se caricassi con una

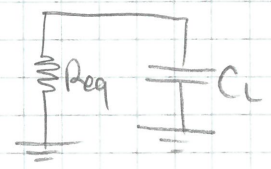


corrente minore il condensatore  $\Rightarrow t_{PHL}$  maggiore

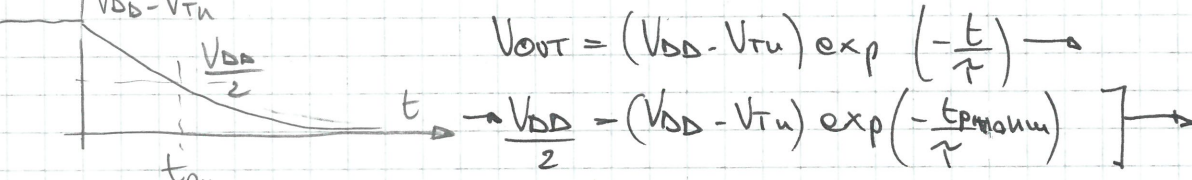
$t_{PHL} = t_{PHLSAT} + t_{PHLohmico}$  } calcolo i due tempi commutatori e dopo li sommo

$$t_{PHLSAT} = \frac{Q_{V_{DD} \rightarrow V_{DD}-V_{TN}}}{I_{SATN}} = \frac{C_L [V_{DD} - (V_{DD} - V_{TN})]}{k_n (V_{DD} - V_{TN})^2} = \frac{V_{TN} \cdot C_L}{k_n (V_{DD} - V_{TN})^2}$$

1° tratto  $R_{eq} = \frac{V_{DD} - V_{TN}}{I_{SATN}}$  }  $\tau$  salto di tensione (vedi grafico)  $\tau$  modellizzo con resistenza come prima



$$\tau = R_{eq} \cdot C_L$$



$$V_{OUT} = (V_{DD} - V_{TN}) \exp\left(-\frac{t}{\tau}\right) \rightarrow \frac{V_{DD}}{2} = (V_{DD} - V_{TN}) \exp\left(-\frac{t_{PHLohm}}{\tau}\right)$$

$$\rightarrow t_{PHLohm} = \tau \cdot \ln\left(\frac{V_{DD} - V_{TN}}{V_{DD}/2}\right)$$

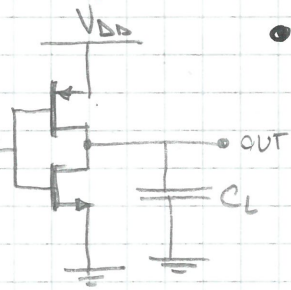
$$t_{PHL_{TOT}} = \frac{C_L \cdot V_{TN}}{k_n (V_{DD} - V_{TN})^2} + \tau \ln\left(\frac{V_{DD} - V_{TN}}{V_{DD}/2}\right)$$

Se  $k_n = |k_p|$   $t_{PHL} = t_{PLH}$   
 Se  $k_n > |k_p|$   $t_{PHL} < t_{PLH}$  e viceversa



def Si def Ritardo di propagazione  $T_p = \frac{t_{pHL} + t_{pLH}}{2}$  (propagation delay)

Dissipazione di potenza inverter CMOS



• ①  $P_{STATICA} = 0$  non ha una dissipazione di potenza attraverso la porta

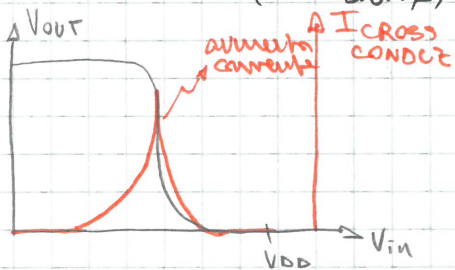
Questo permette una tecnica sul wafer  $I_{DD}$  per quiescenza:

Porto gli ingressi ad opportuni livelli logici alti e bassi:

- Se la corrente di quiescenza è bassa  $\rightarrow$  IC OK
- Se la corrente di quiescenza è alta  $\rightarrow$  IC rotto (cortocirc)

②  $P_{DINAMICA} = P_{CARICA SCARICA CONDENSATORE} + P_{CROSS-CONDUZIONE}$

è legata all' ~~ingresso~~ resistenza intern dell'inverter (una esiste)



② Durante la commutazione si ha uno scorrimento di corrente nell'inverter. Questa potenza dissipata è molto minore di quella ①

perciò, in generale  $P_{①} \gg P_{②}$

ES: supponiamo di avere un clock quadrato con 50% duty cycle



fronte positivo  $I_N = V_{DD} \rightarrow C_L$  si scarica attraverso l'nTOS

perciò  $E = \frac{1}{2} C_L V_{DD}^2$  dissipata attraverso nTOS

fronte negativo  $I_N = 0V \rightarrow$  il pTOS preleva corrente per diumentare  $C_L$

$E = \int i(t) \cdot V(t) dt = V_{DD} \int i(t) dt$   $\rightarrow$   $Q$  è la carica sulle armature di  $C_L$

so che  $C_L = \frac{Q}{V_{DD}} \rightarrow Q = C_L \cdot V_{DD} \Rightarrow E = V_{DD} \cdot \int i(t) dt = C_L \cdot V_{DD}^2$

$\frac{1}{2} C_L V_{DD}^2 =$  immagazzinata da  $C_L$  carica a  $V_{DD}$

$\frac{1}{2} C_L V_{DD}^2 =$  dissipata dal pTOS per caricare  $C_L$

$P = C_L V_{DD}^2 \cdot$  frequenza  $\rightarrow$  HF = alta dissipazione  
 $\rightarrow$  LF = bassa dissipazione

$\rightarrow$  diminuisce capacità parassite  
 $\rightarrow$   $V_{DD}$  rivia al quadrato, se alimento a  $L$  Volts ho meno potenza

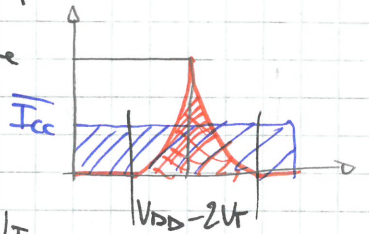
potenza



Vediamo la potenza di cross condizionale, stimandola. spalmiamo

l'area della cuspidi della corrente di cross condizionale

$$I_{\text{picco cross-cond}} = K_n \left( \frac{V_{DD}}{2} - V_{Tn} \right)^2 \rightarrow I_{SAT}$$



$$\overline{I_{cc}} V_{DD} = \frac{1}{2} I_{\text{picco}_{cc}} (V_{DD} - 2V_T) \quad \overline{I_{cc}} = \frac{1}{2} I_{\text{picco}_{cc}} \frac{V_{DD} - 2V_T}{V_{DD}}$$

$$P_{cc} = \overline{I_{cc}} \cdot V_{DD} \cdot \frac{2 \cdot \tau_p}{T_1} \quad \left[ \begin{array}{l} \text{in due fronti per periodo} \\ \text{periodo} \end{array} \right]$$

suppongo che con due tempi di propagazione medi copro la durata del fronte di commutazione

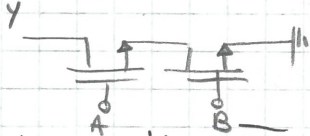
~~escludi la durata~~

$2\tau_p \approx$  durata del fronte

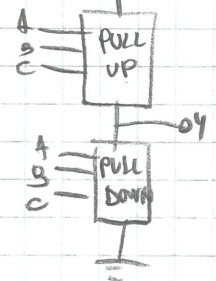
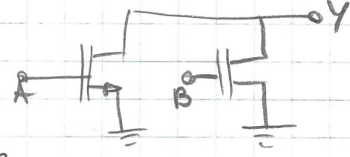
### Porte logiche elementari CMOS

$\overline{Y} = (A, B, C, \dots)$  come faccio a capire come convertire gli NMOS della rete

di pulldown? Considero per esempio  $Y = \overline{A}B \rightarrow \overline{Y} = \overline{\overline{A}B} = AB$  i MOS devono essere in serie



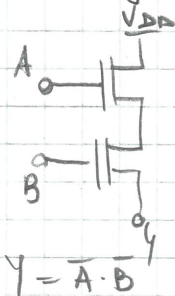
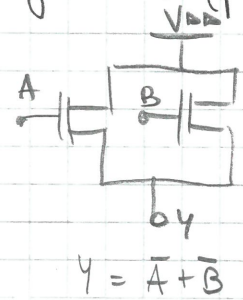
Analogamente, se ho  $Y = \overline{A+B} \quad \overline{Y} = A+B$



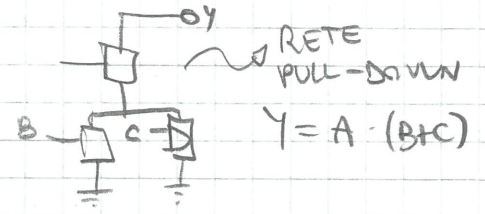
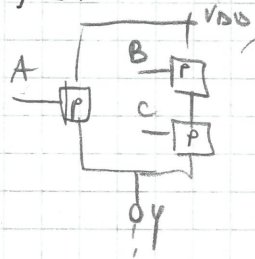
Ovviamente in logica CMOS P<sub>STATICA</sub> = 0, ovvero

nessuna corrente tra in e out  $\rightarrow$  grande vantaggio rispetto a TTL

Invece per la rete di pullup i PMOS caricano Y all'istante quando gli ingressi sono bassi. Per determinare la struttura della rete logica devo guardare (per i NMOS guardo  $\overline{Y}$ ) la combinate degli INPUT negati.



es  $Y = \overline{A+B \cdot C} = \overline{A}(\overline{B+C})$



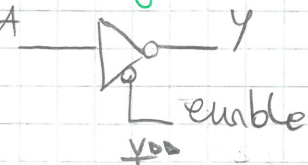
Transistor in //  $\rightarrow$  somma le W dei transistor  $\rightarrow$  l'eq porta più corrente

Transistor in serie  $\rightarrow$  somma delle lunghezze  $\rightarrow$  meno corrente

Posso partire dalla porta logica ad avere un inverter equivalente, per poi eseguire i soliti calcoli e approx

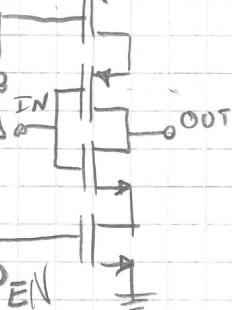


# Parte Logiche tri-state



enable	A	Y
0	0	1
0	1	0
1	0	high Z
1	1	high Z

impedenza alta (C.A)

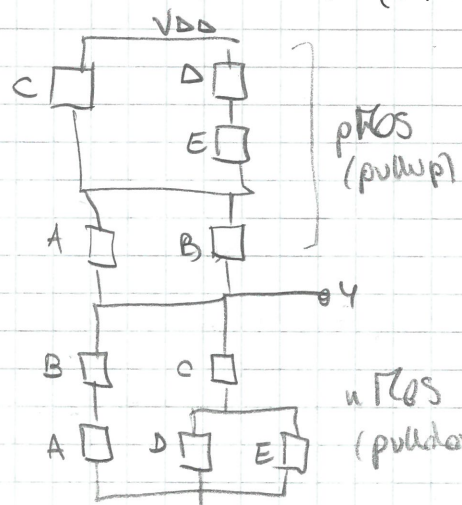


EN	IN	OUT
1	0	1
1	1	0
0	0	high Z
0	1	high Z

$$Y = A \cdot B + C(D+E) = \overline{AB} \cdot \overline{C(D+E)} = \overline{AB} \cdot [\overline{C} + \overline{D \cdot E}]$$

pullup

pull down  $\overline{Y} = AB + C(D+E)$



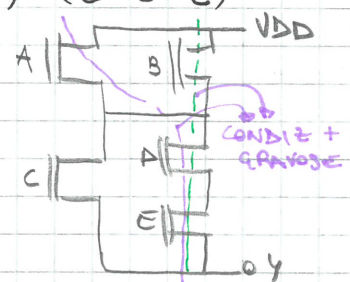
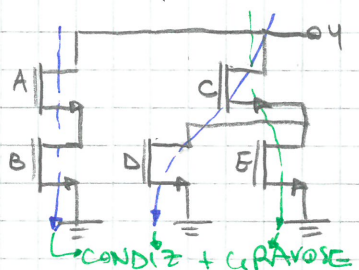
PMOS (pullup) con  $Y = (A+B) [C + D \cdot E]$

NMOS (pulldown) con  $\overline{Y} = AB + C(D+E)$

# Dimensionamento transistor parte Logiche connesse CMOS

$$Y = AB + C(D+E) = \overline{A+B} \cdot (\overline{C} + \overline{D \cdot E})$$

Dobbiamo dimensionare i vari transistor in modo da rispettare i tempi di propagazione



per transistor in parallelo  $(\frac{W}{L})_{eq} = \sum_i (\frac{W}{L})_i$

per transistor in serie invece ha la somma  $(\frac{W}{L})_{eq} = 1 / \sum_i (\frac{L}{W})_i$

transizione (nel nostro caso) HL più grossa è data da 2 NMOS in serie:

A · B, C · D, C · E

transizione L → H più grossa è data da 3 PMOS: A · D · E, B · D · E

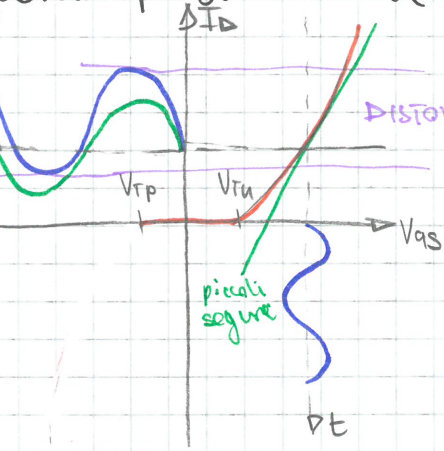






La condizione di piccolo segnale è quindi  $V_{gs} \ll 2(V_{GS} - V_{TH})$

Però posso dire che  $i_D = g_m V_{gs} + k_n V_{gs}^2 \sim g_m V_{gs}$  per piccoli segnali



Ho un'asimmetria dell'onda amplificata. Essa dipende dalla parabola, vedi anche l'errore di linearità

$$\epsilon \triangleq \frac{k_n V_{gs}^2}{2k_n (V_{GS} - V_{TH}) V_{gs}} = \frac{V_{gs}}{2(V_{GS} - V_{TH})}$$

Per piccoli segnali però ho una situazione differente, il segnale  $i_D$  è linearizzato e un  $i_D$

asimmetria (vedi onda blu rispetto la verde)

Se aumento o diminuisco la tensione di comando  $V_{GS}$ , modulo l'ampiezza considero l'MOS come generatori di corrente di segnale che scorre da D a S, controllato da  $V_{GS}$

### Stadio source a un'ansa (Common source - CS stage)

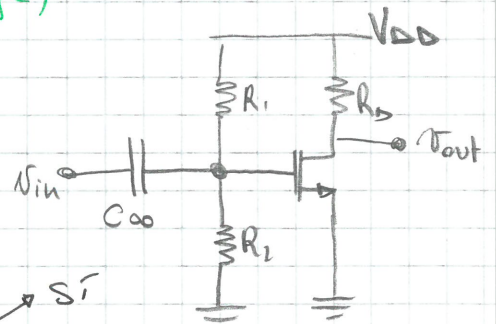


① Polarizzazione (ipotesi di MOS SAT)

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD} \quad \text{vedo che } V_G = V_{GS}$$

$$I_D = k_n (V_{GS} - V_{TH})^2 \quad V_D = V_{DD} - I_D R_D$$

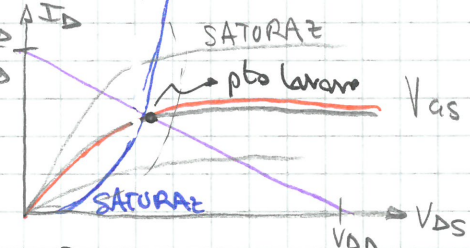
Verifico se il MOS è saturo:  $V_{GD} > V_{TH}$ ?   
 Si   
 No



Per non alterare la polarizzazione del circuito, devo disaccoppiare il segnale d'ingresso con un condensatore ( $C \rightarrow \infty$ ). Per IN DC abbiamo un circuito aperto, un per qualsiasi frequenza il condensatore è in cc.

Quindi devo avere 1 MOS SAT 2 condensatori circuiti aperti, per  $V_{in}$  DC

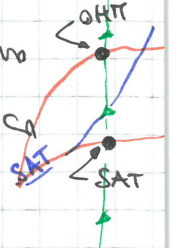
( $V_{in} = 0$  perché il valore medio del segnale è nullo perché periodico e alterato).



$$V_{GS} = \frac{R_2}{R_1 + R_2} V_{DD}$$

Se sposta troppo in su il pto lavoro

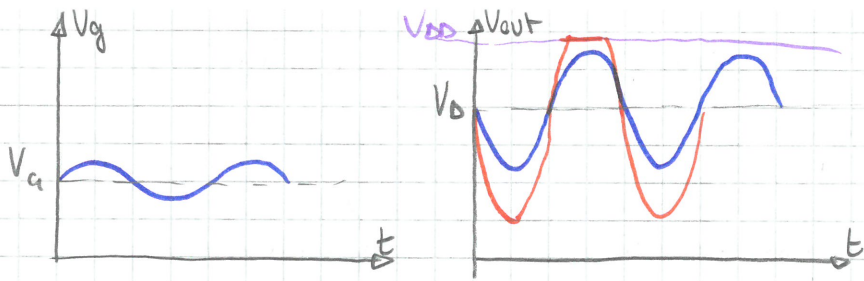
rischio di entrare in zona ohmitica



② Piccolo segnale:  $V_{GS} = V_{in} \rightarrow i_D = g_m V_{gs} = g_m V_{in}$

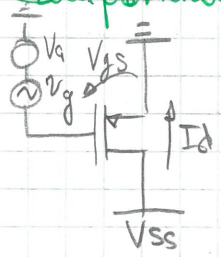
$$V_{out} = -i_D R_D = -g_m V_{in} R_D \quad G_V \triangleq \frac{V_{out}}{V_{in}} = -g_m R_D$$





La dinamica di uscita è il massimo intervallo in cui il transistor mantiene la giusta caratteristica (senza clip/asimmetrie)

### Comportamento PLOS su segnale

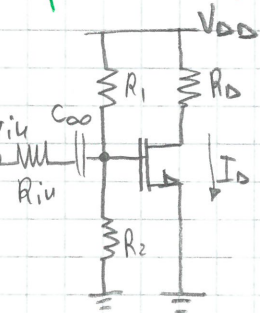


$$I_D = I_{D0} + i_d = K_p (V_{gs_p} - V_{Tp})^2 = K_p \left[ \underbrace{(V_{gs_p} - V_{Tp})^2}_{I_{D0}} - 2 \underbrace{(V_{gs_p} - V_{Tp}) V_{gs_p}}_{i_d} + \underbrace{V_{gs_p}^2}_{i_d} \right]$$

$$V_{gs_p} = V_{gs} + V_{gs0}$$

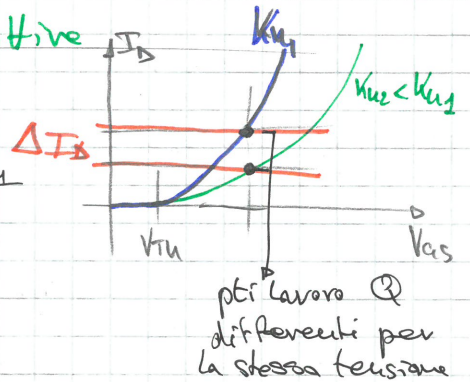
$$i_d = g_m V_{gs} + K_p V_{gs}^2$$

### Dipendenza di $I_D$ da temperatura e caratteristiche costruttive

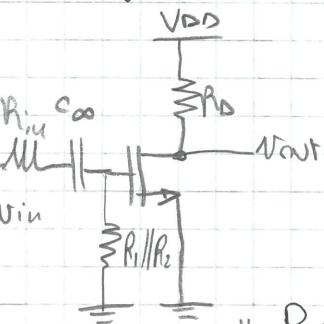


$$I_D = K_u (V_{as} - V_{Tu})^2 \quad K_u = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$$

$$\Delta I_D = \Delta K_u (V_{as} - V_{Tu})^2 \frac{K_u}{K_u} \rightarrow \frac{\Delta I_D}{I_D} = \frac{\Delta K_u}{K_u}$$



Se segnale a lungo

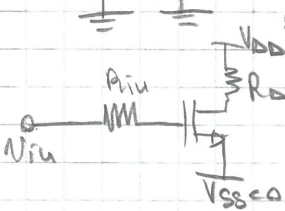


$$V_{out} = -i_d R_D = -g_m V_{gs} \quad V_{gs} = \frac{(R_1 // R_2) V_{in}}{R_{iu} + R_1 // R_2}$$

$$V_{out} = -g_m V_{in} \frac{R_1 // R_2}{R_{iu} + R_1 // R_2} \rightsquigarrow G_v = - \frac{R_1 // R_2}{R_{iu} + R_1 // R_2} \cdot g_m R_D$$

partic. in ingresso

Per minimizzare le variazioni, devo fare in modo che  $R_{iu} \ll R_1 // R_2$



Posso anche realizzare un accoppiamento DC del segnale di ingresso

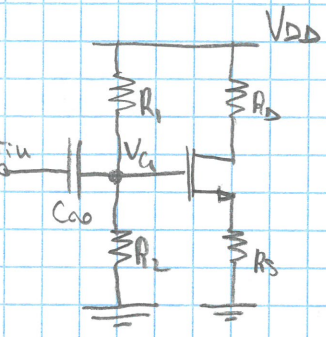
$$V_{as} = 0 - (-V_{ss}) = V_{ss} \quad \text{non ho corrente in ingresso perché } R_{gate} \rightarrow \infty$$

Utilizzare un'alimentazione abale permette di non perdere in ingresso il fattore delle due resistenze  $R_1 // R_2$  (ho perso il segnale DC)

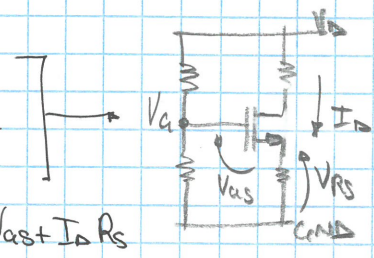
Così facendo, desensibilizzo lo stadio a temperatura e variazioni di corrente, ottenendo una resistenza direttamente in ingresso



# Studio source a ussa degenerata



- Polarizzazione: capacità in CA
- spiego guo segnale
- Hp: VOS in sat

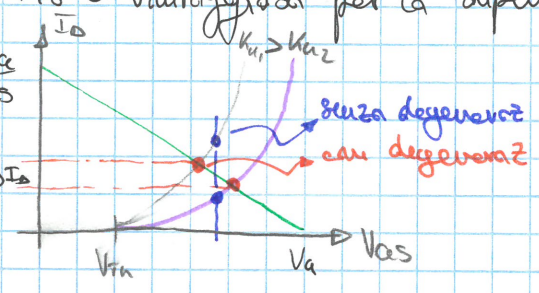


$$V_G = V_{DD} \frac{R_2}{R_1 + R_2} \quad V_G = V_{GS} + V_S = V_{GS} + I_D R_S$$

per Hp di stat  $\begin{cases} I_D - I_{D,SAT} = K_n (V_{GS} - V_{TN})^2 \\ V_G = V_{GS} + I_D R_S \end{cases}$  } ottengo due sol, una è  $< V_{TN}$  ma noi abbiamo Hp di SAT, quindi viene esclusa

$$V_D = V_{DD} - I_D R_D \rightarrow I_D = K_n (V_G - I_D R_S - V_T)$$

$R_S$  è vantaggiosa per la dipendenza dalla polarizzazione e dalla transconduttanza:



Geraticamente vedo che  $\Delta I_D$  è minore con

La generazione rispetto la non degen.

$$I_D = K_n [V_{GS}(K_n) - V_{TN}]^2 \quad \frac{\partial I_D}{\partial V_{GS}} = (V_G - I_D R_S - V_T)^2 \cdot 2K_n \frac{\partial I_D}{\partial V_{GS}} \cdot (V_G - I_D R_S - V_T)$$

$\leftarrow V_{GS} = f(K_n)$ , lo vedo da

spento che  $2K_n (V_G - I_D R_S - V_T) = g_m$

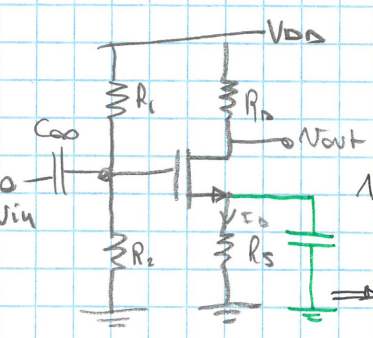
$$\Delta I_D = \Delta K_n [V_{GS}(K_n) - V_{TN}]^2 + K_n \cdot 2(V_{GS} - V_{TN}) \Delta V_{GS}$$

$$\Delta V_{GS} = 0 - \Delta I_D \cdot R_S \rightarrow \Delta I_D = \Delta K_n [V_{GS} - V_{TN}]^2 + g_m (-\Delta I_D R_S) \quad \text{Allora } \frac{\partial I_D}{\partial I_D} = \frac{\partial K_n}{K_n (1 + g_m R_S)}$$

$$(1 + g_m R_S) \Delta I_D = \frac{\Delta K_n}{K_n} (V_{GS} - V_{TN})^2 K_n \quad \frac{\Delta I_D}{I_D} = \frac{\Delta K_n}{K_n} \cdot \frac{1}{(1 + g_m R_S)}$$

La variaz % della componente di corrente risulta ridotta dal fattore di degenerazione che varia a seconda di  $R_S$  (che ~~essera~~ vogliamo più grande possibile)

Guadagno per piccolo segnale



$$\begin{cases} v_{in} = v_{gs} + i_d R_S \\ i_d = g_m v_{gs} \end{cases} \rightarrow v_{in} = v_{gs} + g_m v_{gs} R_S \Rightarrow v_{gs} = \frac{v_{in}}{1 + g_m R_S}$$

$$v_{out} = -i_d R_D = -g_m v_{gs} R_D \Rightarrow -g_m R_D \frac{v_{in}}{1 + g_m R_S}$$

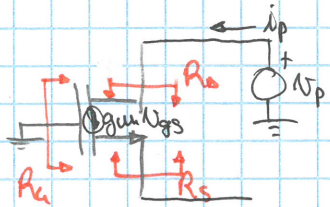
$$\Rightarrow C_{ov} = \frac{v_{out}}{v_{in}} = -\frac{g_m R_D}{1 + g_m R_S} \xrightarrow{R_S \gg \frac{1}{g_m}} -\frac{R_D}{R_S} \quad \text{però il guadagno}$$

Inserisco una capacità di bypass: finché essa è c.a. ho la diminuzione di guadagno.

Nel momento in cui il condensatore diventa c.c., ottengo l'aumento di guadagno, ma avendo più  $R_S$  a rompere le bolle.

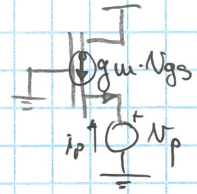


## Resistenze viste su segnale dai terminali del MOS



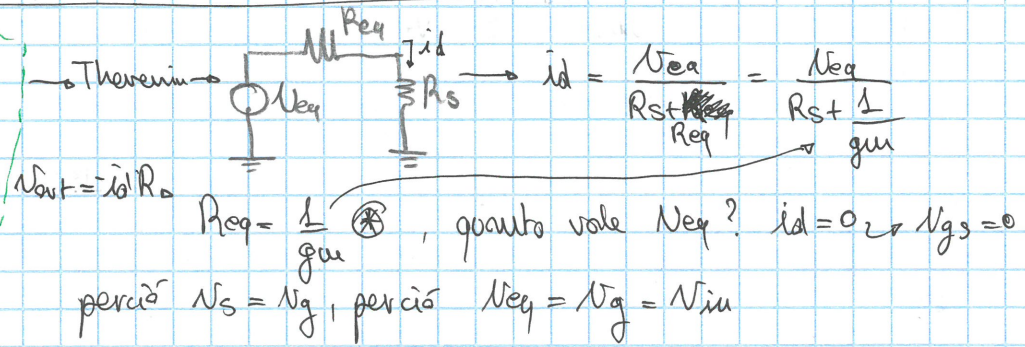
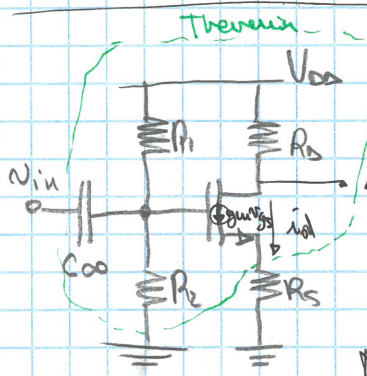
ovviamente  $R_G \rightarrow \infty$

$$R_{drain} = \frac{V_p}{i_p} = \frac{V_p}{i_p \rightarrow \infty} \rightarrow \infty \text{ perché } g_m \cdot V_{gs} = 0 \text{ (gate a } \infty \text{)}$$



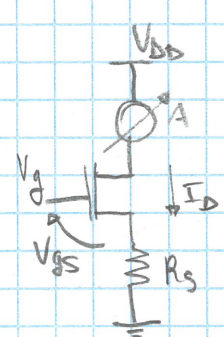
$$R_{source} = \frac{V_p}{i_p} = \frac{V_p}{-g_m V_{gs}} = \frac{V_p}{-g_m (0 - V_p)} = \frac{V_p}{+g_m V_p} = \frac{1}{g_m} \otimes$$

Posso modellizzare il transistor analizzando tutto con Thevenin?



Di conseguenza  $i_d = \frac{V_{in}}{R_s + \frac{1}{g_m}}$   $\rightarrow$  questo è possibile perché mi

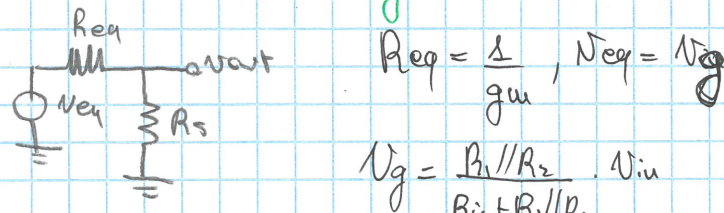
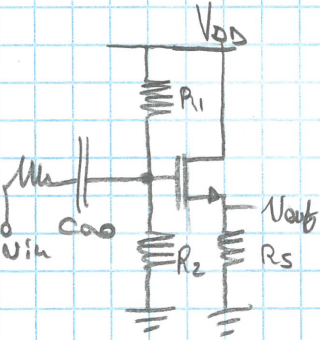
ricordo che la resistenza vista dal source è  $\frac{1}{g_m}$  ???



$$I_d = I_D + i_d = K_n [V_{gs} - V_{th}]^2 \Rightarrow \varepsilon = \frac{V_{gs}}{2(V_{gs} - V_{th})} \cdot \frac{1}{1 + g_m R_s}$$

enviare

## Stadio source follower o stadio inseguitore di source

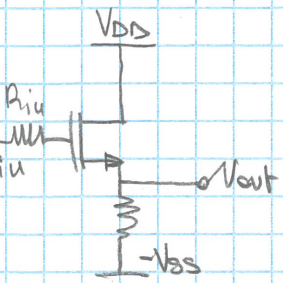


$$V_{out} = \frac{R_s}{R_s + R_{eq}} \cdot V_{eq} = \frac{R_s}{R_s + \frac{1}{g_m}} \cdot \frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot V_{in}$$

$$C.N. \triangleq \frac{V_{out}}{V_{in}} = \frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{R_s}{\frac{1}{g_m} + R_s} \rightarrow \text{è non invertente, la partiz. ing. } \approx 1$$

la seconda parte attenua perché il guadagno è poco minore di 1

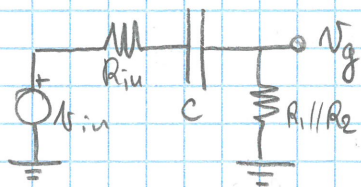
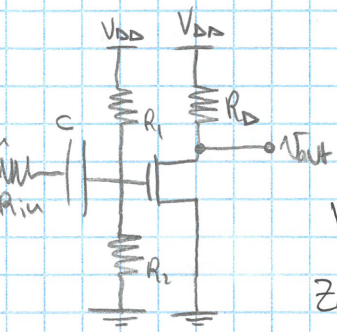




$R_{out} = \frac{1}{g_m} \parallel R_S$  se modello bene  $g_m$  posso ottenere bene

il livello di impedenza. Questo "buffer" mi permette di separare le ~~esiste~~ <sup>impedenze</sup> ed ottenere un guadagno poco minore di 1 e "accoppiare" carichi con impedenze ~~diverso~~ <sup>molto</sup> diverso molto

### Dimensionamento della capacità di disaccoppiamento in ingresso



abbiamo  $R_1 \parallel R_2$  perché  $V_{DD}$  mi fornisce contributi al segnale, quindi lo consideriamo a massa

Vediamo nel dominio di Laplace:  $Z_c = \frac{1}{sC}$   $Z_{in} = R_{iu}$   $Z_u = R_1 \parallel R_2$   
 $Z_{eq} = \frac{Z_{R1} Z_{R2}}{Z_{R1} + Z_{R2} + Z_c} = \frac{N_g}{N_{iu}} = \frac{R_1 \parallel R_2}{R_{iu} + R_1 \parallel R_2 + \frac{1}{sC}}$

$$= \frac{sC R_1 \parallel R_2}{1 + sC [R_{iu} + R_1 \parallel R_2]}$$

$$s = j\omega$$

$$\frac{N_g}{N_{iu}} = \frac{j\omega C R_1 \parallel R_2}{1 + j\omega C [R_{iu} + R_1 \parallel R_2]}$$

calcoliamo il modulo di  $f_{out}$

$$\left| \frac{N_g}{N_{iu}} (j\omega) \right| = \frac{\omega C R_1 \parallel R_2}{\sqrt{1 + \omega^2 C^2 [R_{iu} + R_1 \parallel R_2]^2}}$$

$$\rightarrow \omega \ll \frac{1}{C [R_1 \parallel R_2 + R_{iu}]} \rightarrow \omega C R_1 \parallel R_2$$

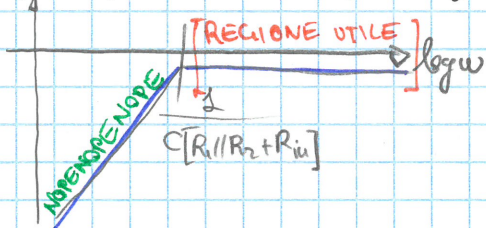
$$\omega \approx \frac{1}{C [R_1 \parallel R_2 + R_{iu}]} \rightarrow \frac{1}{\sqrt{2}} \frac{R_1 \parallel R_2}{C [R_1 \parallel R_2 + R_{iu}]} = \frac{R_1 \parallel R_2}{\sqrt{2} [R_{iu} + R_1 \parallel R_2]}$$

Il mio obiettivo è ottenere il caso

$$\omega \gg \frac{1}{C [R_1 \parallel R_2 + R_{iu}]} \text{ così che io abbia}$$

$$\omega \gg \frac{1}{C [R_1 \parallel R_2 + R_{iu}]} \rightarrow \frac{\omega C R_1 \parallel R_2}{\omega C [R_1 \parallel R_2 + R_{iu}]} \rightarrow \text{impedenza condusar trascurabile rispetto alle impedenze delle resistenze}$$

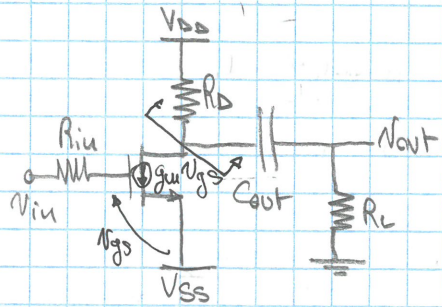
un guadagno costante per ogni ~~impedenza~~ pulsazione



Dimensiono la capacità  $C$  in modo tale che l'inverso della sua costante di tempo sia minore della minima pulsazione che si vuole amplificare



# Due capacità di disaccoppiamento in uscita



$C_{out}$  fa la stessa cosa della capacità di bypass in ingresso.  
 Devo fare sempre in modo di non avere cambiamenti di guadagno per tutta la banda di amplificazione.

$$\frac{V_{out}}{V_{in}} = -g_m \cdot \left[ R_D \parallel \left( R_L + \frac{1}{sC_{out}} \right) \right] \cdot \frac{R_L}{R_L + \frac{1}{sC_{out}}} =$$

$$= -g_m \frac{R_D \left( R_L + \frac{1}{sC_{out}} \right)}{R_D + R_L + \frac{1}{sC_{out}}} \cdot \frac{R_L}{R_L + \frac{1}{sC_{out}}} = -g_m \frac{R_D R_L}{R_D + R_L + \frac{1}{sC_{out}}} = -g_m \frac{sC_{out} \cdot R_D R_L}{(R_D + R_L) sC_{out} + 1}$$

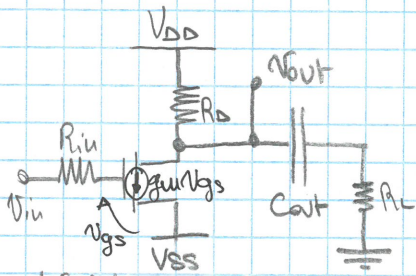
Abbiamo ancora una volta un fdt del tipo passa alto  $\tau_{out} = C_{out} (R_D + R_L)$

$$\left| \frac{V_{out}}{V_{in}} \right| = g_m \frac{\omega C_{out} \cdot R_D R_L}{\sqrt{1 + \omega^2 C_{out}^2 (R_D + R_L)^2}}$$

$$\omega \ll \frac{1}{\tau_{out}} \rightarrow g_m R_D \omega C_{out} R_L$$

$$\omega \gg \frac{1}{\tau_{out}} \rightarrow \frac{g_m C_{out} R_D R_L}{\omega C_{out} (R_D + R_L)} = g_m (R_D \parallel R_L)$$

Vediamo cosa succede prelevando la tensione  $V_{out}$  dal drain



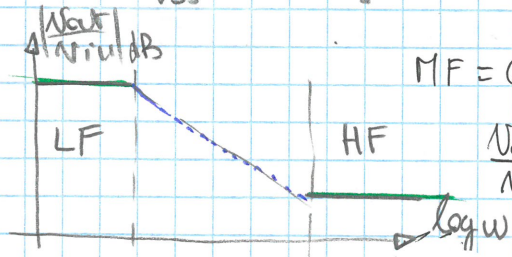
$$\frac{V_{out}}{V_{in}} = -g_m \left[ R_D \parallel \left( R_L + \frac{1}{sC_{out}} \right) \right] = -g_m \frac{R_D (1 + sC_{out} R_L)}{1 + sC_{out} (R_L + R_D)}$$

LF =  $C_{out}$  è assimilabile a c.a.

$$\left| \frac{V_{out}}{V_{in}} \right|_{LF} = -g_m R_D$$

MF =  $C_{out}$  è già intervenuta  $\rightarrow$  assimilabile a c.c.

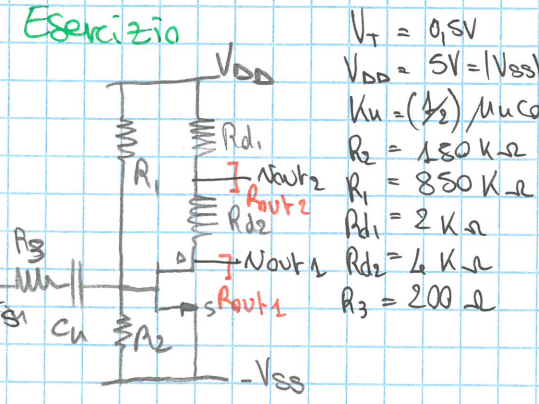
$$\left| \frac{V_{out}}{V_{in}} \right|_{MF} = -g_m (R_D \parallel R_L)$$



Per le HF l'impedenza della capacità arriverà ad essere trascurabile rispetto alle altre impedenze in gioco



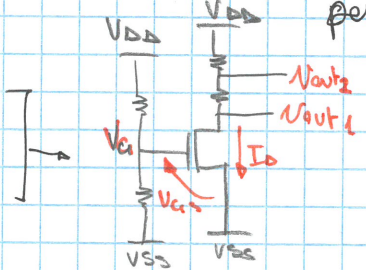
# Esercizio



- $V_T = 0,5V$
- $V_{DD} = 5V = |V_{SS}|$
- $K_n = (\frac{1}{2}) \mu_n C_{ox} \frac{W}{L} = 2mA/V^2$
- $R_2 = 150k\Omega$
- $R_1 = 850k\Omega$
- $R_{d1} = 2k\Omega$
- $R_{d2} = 4k\Omega$
- $R_3 = 200\Omega$

- 1) Polarizzazione
- 2)  $\frac{V_{out1}}{V_s}$  e  $\frac{V_{out2}}{V_s}$
- 3) Dimensionare  $C_{in}$  per  $f \in [1k, 50k] Hz$
- 4) Resistenze  $R_{out1}$  e  $R_{out2}$
- 5)  $\epsilon$  linearità  $N_s = 100mV$  sin(2 $\pi$ ft) per  $f = 30kHz$

1. Polarizzazione
  1. Capacitor C.A.
  2. Spengo i geni di segnale
  3. Hp: uMOS lavora in saturazione



$$V_{gs} = \frac{R_2 [V_{DD} - (-V_{SS})]}{R_1 + R_2} - V_{SS} \quad V_{ds} = \frac{R_2 [V_{DD} - (-V_{SS})]}{R_1 + R_2}$$

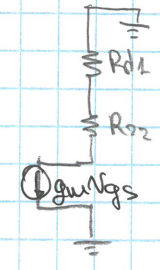
$$= \frac{150k \cdot 10V}{(150+850)k} + 5V = -3,5V \quad = 1,5V > V_T \text{ uMOS acceso}$$

$$I_D = K_n (V_{gs} - V_T)^2 = 2mA \text{ sempre ammesso che il uMOS sia SATURO}$$

$$V_D = V_{DD} - (R_{d1} + R_{d2}) I_D = 5V - 2mA \cdot (6k\Omega) = -1V$$

$$V_{gs} = -3,5V - (-1V) = -2,5V < V_T \text{ OK il MOS e' effettivamente saturo}$$

$$V_{out2} = V_{DD} - I_D R_{d1} = 5V - 2mA \cdot 2k = 3V$$



Calcolo anche la transconduttanza  $g_m = 2K_n (V_{gs} - V_T) = 2mS$

- $$V_{gs} = \frac{R_1 // R_2}{R_s + R_1 // R_2} V_s \quad V_{out1} = \underbrace{-g_m V_{gs}}_{\text{corrente}} (R_{d1} + R_{d2})$$

$$\frac{V_{out1}}{V_s} = -g_m (R_{d1} + R_{d2}) \cdot \frac{R_1 // R_2}{R_s + R_1 // R_2} = -11,98$$

$$V_{out2} = -g_m V_{gs} R_{d1} = -g_m R_{d1} \frac{R_1 // R_2}{R_s + R_1 // R_2} V_s \quad \rightarrow 9,938$$

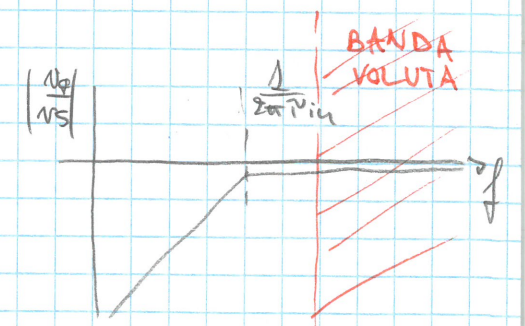
$$\frac{V_{out2}}{V_s} = -g_m R_{d1} \cdot \frac{R_1 // R_2}{R_s + R_1 // R_2} = -3,99$$

3) Avere uno zero, circuitalmente, significa che ho in certo punto in cui per qualsiasi ingresso, ho uscita nulla (impedenza infinita)

$$P_{in} = C_{in} P_{eq} =$$

$$P_{eq} = (R_s + R_1 // R_2) = 127,7k\Omega$$

$$V_{g}(s) = \frac{R_1 // R_2}{R_s + \frac{1}{sC_{in}} + R_1 // R_2} V_s(s) = \frac{sC_{in} R_1 // R_2}{1 + sC_{in} (R_s + R_1 // R_2)} V_s(s)$$





~~Diminuzione autocondensazione~~

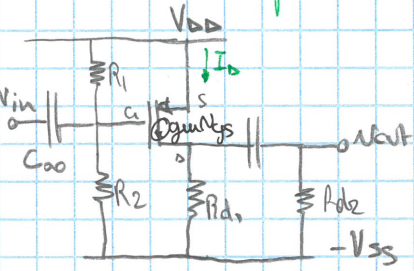
Per essere comodo, spostato di un decade prima la  $f_{TAUSS}$  (da 1KHz a 100KHz) così da non avere il taglio di 3dB (effetto dello zero esaurito)

Di conseguenza  $\frac{1}{2\pi R_{eq} C_{in}} \approx 100\text{Hz}$   $C_{in} \approx 12,5\text{nF}$

4)  $g_{m1} = 2\text{mA/V}$   $R_{out1} = R_{d1} + R_{d2} = 6\text{K}\Omega$   
 $R_{out2} = R_{d1} // [R_{d2} + \infty] = R_{d1} = 2\text{K}\Omega$

5)  $\epsilon = \frac{V_{gs}}{2(V_{as} - V_T)} = \frac{R_1/R_2}{R_s + R_1/R_2} \cdot V_s \cdot \frac{1}{2(V_{as} - V_T)} \approx \frac{100\text{mV}}{2(1,5\text{V} - 0,5\text{V})} = 5\%$

Esercizio con pMOS



$V_{TP} = -1\text{V}$   $|K_p| = 0,5 \text{ mA/V}^2$   $R_1 = 100\text{K}\Omega$   $R_2 = 200\text{K}\Omega$

$R_{d1} = 7\text{K}\Omega = R_{d2}$   $V_{DD} = V_{SS} = 3\text{V}$

1) Pol 2)  $\frac{V_{out}}{V_{in}}$  MF 3) ~~Diminuzione del~~ ~~modo drain~~ a LF (C open)

4) Dim banda cut per  $f \in [100\text{KHz}, 100\text{MHz}]$

1) Pol:

$V_{as} = V_{SD} = -\frac{R_1}{R_1 + R_2} [V_{DD} - (-V_{SS})] = -\frac{1}{3} [3\text{V} + 3\text{V}] = -2\text{V} \approx \text{pMOS acceso}$

$I_D = |K_p| (V_{GS} - |V_{TP}|)^2 = 0,5 \frac{\text{mA}}{\text{V}^2} [-2\text{V} - (-1\text{V})]^2 = 0,5 \text{ mA}$

$V_{GD} = -V_{SS} + V_{A1} = -V_{SS} + I_D \cdot R_{d1} = -3\text{V} + 3,5\text{V} = 0,5\text{V}$

$V_G = +1\text{V}$   $V_{GD} = V_G - V_D = 1\text{V} - 0,5\text{V} = 0,5\text{V} \approx \text{pMOS saturo}$

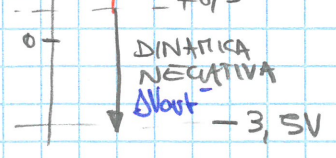
$g_m = 2K_p (V_{as} - V_{TP}) = 2(-0,5 \frac{\text{mA}}{\text{V}^2}) \cdot (-2\text{V} - 1\text{V}) = 1\text{mA/V}$

$V_{out} = -g_m V_{in} (R_{d1} // R_{d2}) \Rightarrow G \triangleq \frac{V_{out}}{V_{in}} = -g_m R_{d1} // R_{d2} = -3,5$

3)

$V_{GD} = V_{GD} + V_{GS} > V_{TP}$   $V_{DRAIN} = -V_{SS}$   $\Delta V_{out} = V_{DRAIN} - V_{DRAINIZE} = -3\text{V} - 0,5\text{V} = -3,5\text{V}$

$V_{GD} > V_{TP}$   $V_D < V_G - V_{TP} \Rightarrow V_{D,MAX} = V_G - V_{TP} = 1\text{V} + 1\text{V} = 2\text{V}$   
 $\Delta V_{out}^+ = 1,5\text{V}$



Ai bordi della dinamica non avrà più vincoli

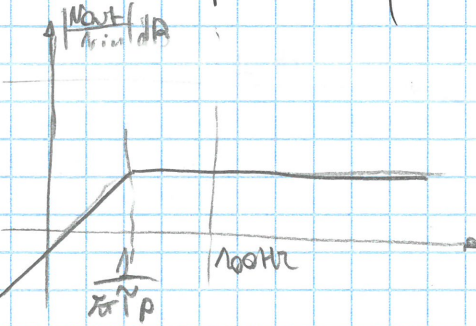
lineare. Procedo con appross per piccolo segnale alla dinamica

$V_{GD} + V_{GS} > V_{TP}$   $V_{GD} + V_G - V_D > V_{TP}$   $V_{GD} - \frac{V_D}{g_m R_{d1}} - V_D > V_{TP} \Rightarrow$

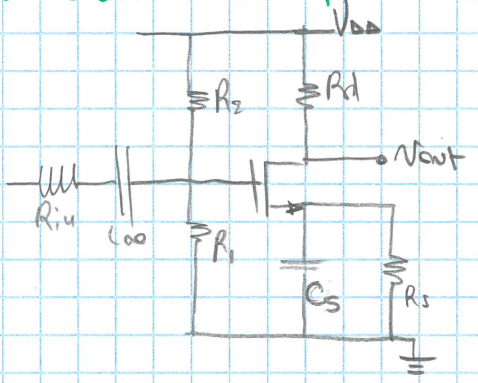
$-V_D [1 + \frac{1}{g_m R_{d1}}] > V_{TP} - V_{GD}$   $V_D < [V_{GD} - V_{TP}] \cdot \frac{1}{1 + \frac{1}{g_m R_{d1}}} \Rightarrow V_{D,max} = 1,3\text{V}$    
 Vedo che è leggermente minore di 1,5V



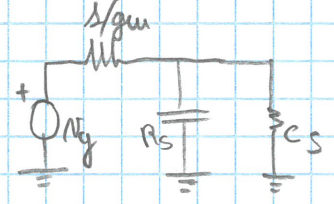
4)  $C_{out} \tau_p = C_{out} (R_{d1} + R_{d2})$   $\frac{1}{\tau_p} \leq 10 \text{ MHz} \rightarrow C_{out} = 1,15 \mu\text{F}$



Dimensionamento capacità di bypass



$N_g = \frac{R_2 // R_1}{R_2 // R_1 + R_{in}} N_{in}$



$i_d = \frac{N_g}{\frac{1}{g_m} + R_s} = \frac{(1 + s C_s R_s) g_m N_g}{1 + s C_s R_s + g_m R_s}$

$V_{out} = -i_d R_d = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{g_m R_d}{1 + g_m R_s} \cdot \frac{1 + s C_s R_s}{1 + \frac{s C_s R_s}{1 + g_m R_s}} N_{in}$

$T(s) \triangleq \frac{V_{out}}{N_{in}} = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{g_m R_d}{1 + g_m R_s} \cdot \frac{1 + s C_s R_s}{1 + \frac{s C_s R_s}{1 + g_m R_s}}$

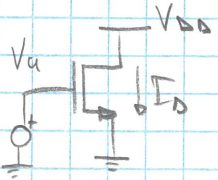
$T'(0) \equiv \infty \rightarrow 0(s)$   
 $T(\infty) = \frac{R_s // \frac{1}{g_m}}{\frac{R_s}{1 + g_m R_s}} = -\frac{R_1 // R_2}{R_{in} + R_1 // R_2} \cdot \frac{g_m R_d}{1 + g_m R_s} \cdot \frac{R_s}{1 + g_m R_s}$

$\tau_p = C_s (R_s // \frac{1}{g_m})$   $\tau_z = C_s R_s$   $S_z = -\frac{1}{\tau_z}$

$Z_{eq}(s) = \frac{R_s}{1 + s C_s R_s} \rightarrow \infty \leftrightarrow s = -\frac{1}{C_s R_s}$   $\rightarrow$  posso calcolare la  $f_c$  di taglio senza calcolare la  $f_{ct}$  in maniera diretta

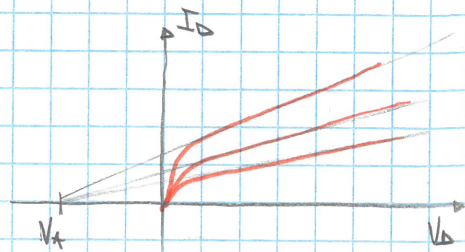


# Effetto della modulazione della lunghezza di canale



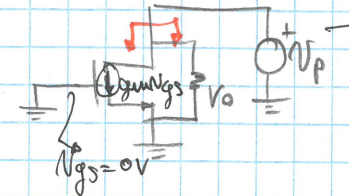
Suppongo  $I_D = K_n (V_{GS} - V_{TN})^2$  un in realtà ho

$$I_D = K_n (V_{GS} - V_{TN})^2 \cdot (1 + \lambda V_{DS})$$

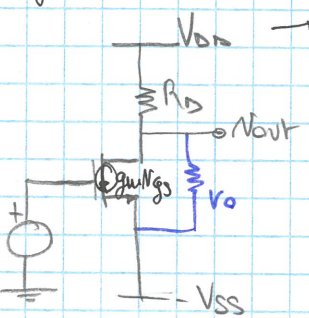


$$\frac{\partial I_{D,SAT}}{\partial V_{DS}} = K_n (V_{GS} - V_{TN})^2 \lambda \rightsquigarrow \frac{I_D}{|V_A|} \rightsquigarrow \text{perché } \lambda = \frac{1}{|V_A|}$$

$$\frac{\partial I_{D,SAT}}{\partial V_{DS}} = \frac{\lambda}{r_o}$$



$$R_{eq} = \frac{\Delta V_p}{i_p} = r_o \quad \text{perché } g_m V_{gs} = 0 \rightsquigarrow \text{resistenza } \infty$$



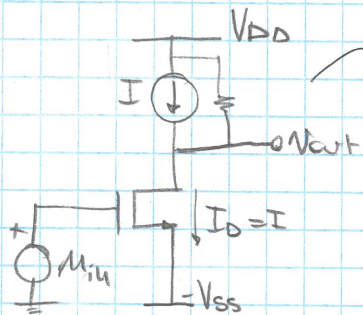
$$V_{out} = -g_m R_D // r_o v_{in} \Rightarrow G = -g_m (R_D // r_o)$$

Il guadagno dipende fortemente dalle variazioni di  $R_D$ .

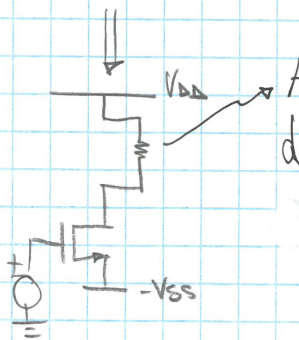
Sost  $R_D$  con un gen. corrente per un avere

dipendenze sul guadagno:

generatore di corrente reale al posto del carico



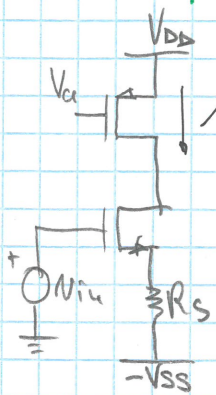
Data  $I$  fissa, non ho variaz di corrente, risolvo il problema di  $R_D$  ma rimane comunque la resistenza del gen. corrente reale (seppur di valore generalmente elevato).



A differenza di  $R_D$ , questa resistenza è parte del generatore reale di corrente, che è nell'ordine di molti  $K \lambda$



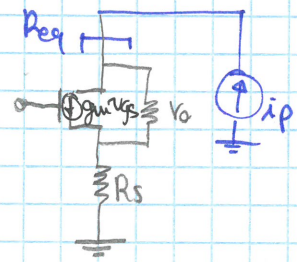
## Studio amplificatore con carico attivo



$$|K_p| (V_{GS} - V_{TP})^2 = |K_p| [(V_{in} - V_{DD}) - V_{TP}]^2$$

Il generatore di corrente "reale" è un ~~carico~~ transistor

## Resistenze eq nel mos con modulaz. canale (e degeneraz. source)



$$R_{eq} \triangleq \frac{V_p}{i_p} \quad i_p = g_m V_{GS} + i_{ro} = -g_m R_s i_p + \frac{V_p}{r_o} - i_p \frac{R_s}{r_o} = *$$

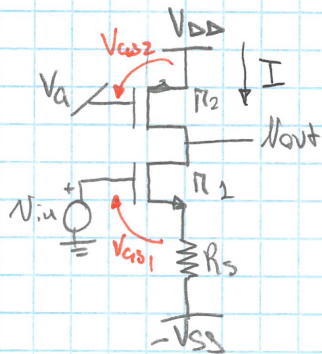
$$i_{ro} = \frac{V_p}{r_o} = \frac{V_p - i_p R_s}{r_o}$$

$$* = \frac{V_p}{r_o} - i_p \left[ g_m R_s + \frac{R_s}{r_o} \right] = i_p \left[ 1 + g_m R_s + \frac{R_s}{r_o} \right] = \frac{V_p}{r_o}$$

$$R_{eq} \triangleq \frac{V_p}{i_p} = \frac{i_p}{i_p} r_o \left[ 1 + g_m R_s + \frac{R_s}{r_o} \right] = r_o + R_s + g_m R_s r_o = (r_o + R_s) \left[ 1 + g_m R_s / r_o \right]$$

Per avere Req molto alta è ~~necessario~~ buona soluzione degenerare il source per avere un buon gen. corrente dalla resistenza più alta

## Studio ampli con carico attivo (continuaz)



$$\begin{aligned} I &= |K_p| (V_{GS} - V_{TP})^2 \\ &= K_n (V_{GS} - V_{TN})^2 \end{aligned} \rightarrow V_{GS1} = \sqrt{\frac{I}{K_n}} + V_{TN}$$

(tengo la soluzione con il + dell'eq di 2° grado perché  $V_{GS}$  deve essere un po' della soglia)

Come garantisco  $M_1, M_2$  SAT?

$$\begin{aligned} \text{Per } M_1 &\rightarrow V_{GS1} < V_{TN} \\ M_2 &\rightarrow V_{GS2} > V_{TP} \end{aligned} \left. \begin{array}{l} \xrightarrow{\text{SAT}} V_{GS1} \\ \xrightarrow{\text{SAT}} V_{GS2} \end{array} \right\} \text{sempre che } M_1, M_2 \text{ siano ON}$$

$$\begin{aligned} V_{GS1} = V_{G1} - V_{D1} < V_{TN} \quad \text{in cui } V_{D1} = V_{out} \quad V_{G1} - V_{out} < V_{TN} \quad \left\{ \begin{array}{l} V_{out} > V_{G1} - V_{TN} \\ V_{out} < V_{G2} - V_{TP} \end{array} \right. \\ V_{GS2} = V_{G2} - V_{D2} > V_{TP} \quad \text{in cui } V_{D2} = V_{out} \quad V_{G2} - V_{out} > V_{TP} \end{aligned}$$

La condizione generale per la SAT  $V_{G1} - V_{TN} < V_{out} < V_{G2} - V_{TP}$  nel nostro caso:

$$-V_{TN} < V_{out} < V_G - V_{TP} \rightarrow \text{in polarizzazione } V_{GS} = 0V$$

